

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-247733

(43)公開日 平成10年(1998)9月14日

(51) Int.Cl. ⁶	識別記号
H 0 1 L 29/786	
G 0 2 F 1/136	5 0 0

F I		
H 0 1 L	29/78	6 1 2 C
G 0 2 F	1/136	5 0 0
H 0 1 L	29/78	6 1 7 L
		6 1 7 M

審査請求 未請求 請求項の数5 O.L (全 12 頁)

(21)出願番号 特願平9-49005

(22)出願日 平成9年(1997)3月4日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山本 睦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 簡 博司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 岡藤 美智子

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

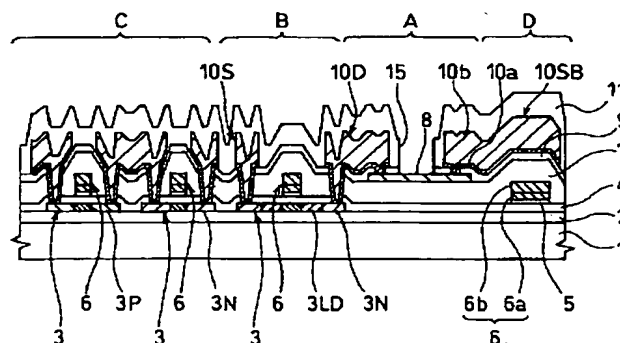
(74)代理人 弁理士 岡田 和秀

(54)【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【要約】

【課題】低抵抗で且つ信頼性の高い配線構造を、生産性や歩留まりを維持しつつ実現する。

【解決手段】 ゲート電極と信号配線との内の少なくとも一方を、モリブデンを主成分とする金属からなる下層膜6aとアルミニウムを主成分とする金属からなる上層膜6bとの積層構造とすることで、一括したウェットエッチング処理、エッチング形状の制御、および低い配線抵抗の実現を可能とした。



【特許請求の範囲】

【請求項1】 基板上に半導体層、ゲート絶縁膜、ゲート電極、ソース・ドレイン電極、および信号配線を設けてなる薄膜トランジスタであって、前記ゲート電極と前記信号配線とのうちの少なくとも一方は、モリブテンを主成分とする金属からなる下層膜と、アルミニウムを主成分とする金属からなり前記下層膜の上に積層された上層膜とを有していることを特徴とする薄膜トランジスタ。

【請求項2】 請求項1記載の薄膜トランジスタであって、前記上層膜の膜厚が50nm以上、150nm以下であることを特徴とする薄膜トランジスタ。

【請求項3】 請求項1また2記載の薄膜トランジスタであって、前記下層膜はタングステンを含んでおり、かつタングステンの添加濃度が0.5原子%以上、30原子%以下であることを特徴とする薄膜トランジスタ。

【請求項4】 基板上に、半導体層、ゲート絶縁膜、ゲート電極、ソース・ドレイン電極、および信号配線を形成してなる薄膜トランジスタの製造方法であって、前記ゲート電極ないし前記信号配線を形成する工程は、モリブテンを主成分とする金属からなる下層膜を形成したのち、この下層膜の上に、アルミニウムを主成分とする金属からなる上層膜を重ねて形成し、これら下層膜および上層膜を、ウェットエッチングにより所定のパターンに同時に形成することを特徴とする薄膜トランジスタの製造方法。

【請求項5】 請求項4記載の薄膜トランジスタの製造方法であって、前記下層膜として、モリブテンとタングステンとの合金膜を用い、かつ、この下層膜の形成工程において、前記タングステンの濃度を、下層膜のエッチング速度が前記上層膜のエッチング速度と同じか若しくは遅くなる値に制御することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、薄膜トランジスタ及びその製造方法に関するもので、特に低抵抗で、且つ高温のプロセスにおいても信頼性の高い配線を提供するものである。

【0002】

【従来の技術】 透光性基板上に多結晶シリコン膜（以下、多結晶Si膜と称す）を用いて薄膜トランジスタを形成し、高性能の薄膜トランジスタアレイを実現する技術が様々な示されている。このような技術においては、安価であるものの高温処理が不可能なガラス基板を透光性基板として用いることが要望されており、このような要望に応えることができるものとして、低温多結晶Si膜形成技術がここ数年実用化され始め、薄膜トランジスタ

アレイの製造方法に適用されつつある。その一例を図9を参照して説明する。

【0003】 まず、SiO_x膜よりなるアンダーコート膜51が形成された透光性基板（ガラス基板）50上に多結晶Si膜（図示省略）を成膜し、さらにこの多結晶Si膜を所定の多結晶Si膜パターン52に成形する。そして、多結晶Si膜パターン52を形成した透光性基板50の全面にSiO_x膜よりなるゲート絶縁膜53を形成し、続けてチタンからなる下層膜とアルミニウム合金からなる上層膜との積層膜からなる金属積層膜（図示省略）を透光性基板50全面に成膜する。

【0004】 成膜した金属積層膜を、p型半導体領域形成用のマスクパターンに成形したうえで、このマスクパターンをマスクにして透光性基板50の一部にホウ素

(B)を含むガスを注入し、これによって多結晶Si膜パターン52にp型半導体領域52Pを形成する。さらに、金属積層膜に形成したマスクパターンをゲート金属膜パターン54にパターン成形し直す。ゲート金属膜パターン54を形成したのち、このゲート金属膜パターン54をマスクにして透光性基板50の一部にリン(P)を含むガスを注入し、これによって多結晶Si膜パターン52にn型半導体領域52Nを形成する。

【0005】 なお、上記したイオン注入におけるマスクとして機能させたゲート金属膜パターン54は、チタンからなる下層膜54aとアルミニウム合金からなる上層膜54bとを備えており、マスクとして機能させた後も残存させて各トランジスタのゲート電極、TFTアレイ及び駆動回路部の信号配線の機能を果たすことになる。

【0006】 p型、n型の半導体領域52P、52Nを形成したのち、透光性基板50全面にSiO_x膜よりなる第1層間絶縁膜55、透明導電膜よりなる画素電極56、SiO_x膜よりなる第2層間絶縁膜57を形成する。そして、第1層間絶縁膜55及び第2層間絶縁膜57に、多結晶Si膜パターン52及び画素電極56に達する開口を形成し、この開口上に、ソース電極58S、ドレイン電極58D、及び走査配線58SBを形成する。ソース電極58S、ドレイン電極58D、走査配線58SBは、下層側に設けたチタン膜58aと上層側に設けたアルミニウム膜58bとの積層膜から構成されている。

【0007】 その後、透光性基板50上に、SiN_x膜よりなるパッシベーション膜59を形成し、さらに、水素雰囲気中での熱処理により、半導体層（多結晶Si膜パターン52）の活性化を経て、画素部Aと、画素トランジスタ部Bと、駆動回路部Cと、ゲート配線部Dとを有する多結晶TFTアレイが完成する。

【0008】 なお、図中、符号52LDは、n型半導体領域52Nに隣接して形成された低ドーパ型半導体領域であり、60はゲート絶縁膜53とゲート金属膜パターン54との間に形成された第2ゲート絶縁膜である。

【0009】以上のようにして製造した多結晶SiTF Tアレイは、CMOS構造のトランジスタよりなる駆動回路部を同一基板上に同時に作り込むことができ、液晶パネルの製造コストの大幅な削減が実現できるうえに、スイッチング素子及び信号配線を小型・細線化でき、高い画素開口率、或いは高い精細度が可能になるという特徴がある。

【0010】上記した従来の薄膜トランジスタでは、ゲート電極や信号配線となるゲート金属膜パターン54の主たる構成成分として、低抵抗のAl合金（上層膜54b）を用いており、これによって信号配線の遅延による表示性能の低下を防いでいる。しかしながら、Al合金を主たる構成成分としてゲート金属膜パターン54を構成するためには、上層膜（アルミニウム合金膜）54bの下層にチタンからなる下層膜54aを配置した積層構造を取らざるを得なかった。これは次のような理由によっている。

【0011】単層のAl合金膜でゲート金属膜パターン54を構成すると、後の工程において、第1、第2の層間絶縁膜55、57を成膜する際に行う400℃以上の熱工程によって、ゲート金属膜パターン54やその上に位置する層間絶縁膜55、57が浮く、若しくは剥離するといった不都合が生じる。このような不都合が発生する原因は必ずしも明らかではないものの、次のように推察される。

【0012】ゲート金属膜パターン54の下地層であるゲート絶縁膜53及びアンダーコート膜51に用いているSiO_x膜は、構造上、水分を吸着して保持しているが、これら水分は第1、第2の層間絶縁膜55、57の成膜時の熱工程によりある程度SiO_x膜から脱離することが避けられない。ところが、脱離した水分は次の①式に示すように、ゲート金属膜パターン54の主成分であるAlと反応して水素を発生させる。そして、このようにして発生した水素は第1、第2の層間絶縁膜55、57、あるいはゲート金属膜パターン54を押し上げ、これによって膜浮きや剥離を生じさせてしまう。

【0013】 $2Al + 3H_2O \rightarrow Al_2O_3 + 3H_2 \uparrow \cdots \textcircled{1}$
これに対して、上述のようにアルミニウム合金からなる上層膜54bの下層にチタンからなる下層膜54aを設け、下層膜54aを、SiO_x膜から脱離する水分に対するバリア層として作用させれば、上記不都合を解消することができる。

【0014】

【発明が解決しようとする課題】しかしながら、ゲート金属膜パターン54として、上記した積層構造を用いることで水分分離に起因する上記不都合を解消した従来の薄膜トランジスタアレイにおいても、（1）歩留まりが低下する、（2）Ti残さが発生する、（3）ゲート金属膜パターン54の主成分として、Al合金を用いた場合に問題となる配線間ショートを防止することができな

い、といった課題が明らかとなった。以下、説明する、

（1）の課題の説明

バリア層として追加された下層膜54a（チタン）の加工は、ドライエッチングによってしか行えない。そのため、上層膜54b（アルミニウム合金）の加工に行っていたウェットエッチング工程のほかに、新たにドライエッチング工程が必要になり、工程数が増えることとなる。そのうえ、ドライエッチング自体がウェットエッチング工程に比べて生産性が悪いうえに、基板表面にフレーク等が乗ってエッチング不良を引き起こし易い。このような理由により、チタンの下層膜54aを設けると、歩留まりを低下させる原因となる。

【0015】（2）の課題の説明

ゲート金属膜パターン54を形成するドライエッチング工程を行う際、先に行ったp型半導体領域52Pの形成工程（イオン注入）によるダメージによって、ゲート絶縁膜53上にドライエッチング時のTi残さが生じる。このようなTi残さは、後の工程において行われるイオン注入等の作業（例えば、n型半導体領域52Nを形成する工程等において行われるイオン注入）において、不要なマスクとなって加工精度（イオン注入の精度等）を劣化させる。

【0016】（3）の課題の説明

ゲート金属膜パターン54の主成分としてアルミニウム合金を用いる場合には、アルミニウム合金からヒロックが発生する。このようなヒロックを防止するには、ゲート金属膜形成後のプロセス温度を十分下げればよいのであるが、薄膜トランジスタの性能を低下させずにプロセス温度を低温化する技術は現在までのところ実現していない。これに対して、上層膜54b（アルミニウム合金）中の添加元素濃度を高くしても、上記したヒロックを防止することができる。ところが、アルミニウム合金中の添加元素濃度を高くすることは配線抵抗の上昇を招くことになる。

【0017】そのため、ヒロックを防止したうえで十分に低い配線抵抗を得るためには、ゲート金属膜パターン54の膜厚を厚くせざるを得ない。しかしながら、アルミニウム合金の膜においてヒロックが発生する密度には膜厚依存性があり、膜厚が厚いほどヒロック発生密度が上昇し、かつ、その形状が大きくなる傾向にある。そのため、ヒロックを防止するために上層膜54bの膜厚を厚くすれば、そのことを原因として、またヒロックが発生しやすくなるという悪循環を生んでしまい、これではヒロックの防止にはならない。そのうえ、ゲート金属膜パターン54の膜厚が厚くなると、その上に形成される第1、第2の層間絶縁膜55、57の被覆性が悪くなり、このことが配線間ショートの原因にもなる。

【0018】上記のことは、ゲート金属膜パターン54を上層膜54b（アルミニウム合金）と下層膜54a（チタン）との積層構造にしたところで変わることはな

い。すなわち、積層構造のゲート金属膜パターン54では、下層膜54a(チタン)の比抵抗が約 $100\mu\Omega\cdot\text{cm}$ と高いために、ゲート金属膜パターン54の配線抵抗を下げるためには上層膜54b(アルミニウム合金)の膜厚を厚くしなければならず、これでもやはり、ヒロックが発生しやすくなったり、ゲート金属膜パターン54上に形成される第1、第2の層間絶縁膜55、57によるゲート金属膜パターン54の被覆性(カバレッジ)が悪化し、配線間ショートが発生しやすくなっていた。

【0019】

【課題を解決するための手段】本発明は、基板上に半導体層、ゲート絶縁膜、ゲート電極、ソース・ドレイン電極、および信号配線を設けてなる薄膜トランジスタにおいて、前記ゲート電極及び前記信号配線のうちの少なくとも一方は、モリブデンを主成分とする金属からなる下層膜と、アルミニウムを主成分とする金属からなり前記下層膜の上に積層された上層膜とを有していることに特徴を有している。

【0020】

【発明の実施の形態】請求項1記載の発明は、基板上に半導体層、ゲート絶縁膜、ゲート電極、ソース・ドレイン電極、および信号配線を設けてなる薄膜トランジスタであって、前記ゲート電極と前記信号配線とのうちの少なくとも一方は、モリブデンを主成分とする金属からなる下層膜と、アルミニウムを主成分とする金属からなり前記下層膜の上に積層された上層膜とを有していることに特徴を有しており、これにより次のような作用を有する。

【0021】第1に、アルミニウムを主成分とする金属からなる上層膜と、モリブデンを主成分とする金属からなる下層膜とを、ドライエッチング手法を用いることなく、同一のエッチング液を用いたウェットエッチング手法によりパターンニングすることができる。

【0022】第2に、モリブデンを主成分とする金属からなる膜は、チタン膜に代わる良質な水分透過に対するバリア層となる。また、モリブデンを主成分とする金属からなる膜は、チタン膜の場合に見られたようなイオン注入時のダメージに起因するドライエッチング時の残さが生じない。

【0023】第3に、ヒロックを抑制しつつ配線抵抗を低減することができる。モリブデンを主成分とする金属の比抵抗は、添加元素の濃度の増加に伴い僅かながら上昇するものの比較的低いものとなる。例えば、添加元素としてタングステンをを用いた場合には、ほぼ $15\sim 20\mu\Omega\cdot\text{cm}$ となる。そのため、アルミニウムを主成分とする金属からなる上層膜とモリブデンを主成分とする金属からなる下層膜とを積層して、ゲート電極や信号配線を構成した場合、アルミニウムを主成分とする金属からなる上層膜の厚みをそれほど厚くしなくても十分低い配線抵抗を実現することができる。一方、アルミニウムを主成分

とする金属からなる膜においてヒロックが発生する密度には膜厚依存性があり、膜厚が薄いほどヒロック発生密度が減少し、かつ、その形状が小さくなる傾向にある。そのため、比較的比抵抗の低いモリブデンを主成分とする金属からなる下層膜を設けることで、上層膜(アルミニウムを主成分とする金属)の膜厚を薄くすることができる本発明の構成では、以降の熱工程によるヒロックの発生を抑制することができる。また、上層膜の厚みをそれほど厚くする必要がないため、ゲート電極や信号配線の上にさらに形成する膜の被覆性が悪くなって配線間ショートの原因となることも起きない。

【0024】第4に、下層膜(モリブデンを主成分とする金属)が含有するモリブデン以外の添加元素の濃度を制御することで、下層膜と上層膜(アルミニウムを主成分とする金属)の積層構造の形状を制御することができる。ゲート電極や信号配線を構成する上層膜としてアルミニウムを主成分とする金属をどのように構成するかは、設計上必要となる配線抵抗、あるいは薄膜トランジスタの製造プロセスを鑑みて決定されるが、そのエッチング速度は、アルミニウムを主成分とする金属に添加する添加元素の種類、濃度によって各々異なる。一方、モリブデンを主成分とする金属からなる下層膜のエッチング速度は、モリブデンを主成分とする金属に添加する添加元素の濃度を適当に選ぶことで実用的な範囲内で制御することが可能である。従って、上層膜のエッチング速度に応じて下層膜の添加元素の濃度を選択すれば、上層膜と下層膜とのエッチング速度を制御して所望のパターン形状を得ることができる。

【0025】請求項2記載の発明は、請求項1に係る薄膜トランジスタにおいて、前記上層膜の膜厚が50nm以上、150nm以下であることに特徴を有しており、これによって次のような作用を有する。すなわち、ゲート電極或いは信号配線の表面でのヒロックの発生を効率よく抑御することが可能となる。また、上層膜の上に更に膜を堆積する際にもヒロックの成長による配線間ショートを防止できると同時に、高温プロセスにおいても比抵抗の低いA1膜或いは添加元素濃度の低いA1合金膜を用いることができる。

【0026】請求項3記載の発明は、請求項1または2に係る薄膜トランジスタにおいて、前記下層膜のタングステン濃度が0.5原子%以上、30原子%以下であることに特徴を有しており、これにより次のような作用を有する。すなわち、タングステン濃度が0.5原子%以下であれば、下層膜のエッチングレートが大きくなりすぎて、アンダーカットが生じやすくなる。一方、タングステン濃度が30原子%以上であれば、下層膜のウェットエッチングが不可能となってしまう。そのため、タングステン濃度をこの範囲内に限定することで、下層膜をウェットエッチング法によって残さ無くエッチングすることができるうえ、下層膜のエッチング速度を、上層膜

のエッチング速度に合わせて制御することが可能となる。

【0027】請求項4記載の発明は、基板上に、半導体層、ゲート絶縁膜、ゲート電極、ソース・ドレイン電極、および信号配線を形成してなる薄膜トランジスタの製造方法であって、前記ゲート電極ないし前記信号配線を形成する工程は、モリブテンを主成分とする金属からなる下層膜を形成したのち、この下層膜の上に、アルミニウムを主成分とする金属からなる上層膜を重ねて形成し、これら下層膜および上層膜を、ウェットエッチングにより所定のパターンに同時に形成する手順を含んでいることに特徴を有しており、これにより次のような作用を有する。

【0028】アルミニウムを主成分とする金属からなる上層膜とモリブデンを主成分とする金属からなる下層膜とを同一のエッチング液を用いて同時に所定のパターンに形成することで、高い生産性が実現できる。また、ウェットエッチング法を用いることができるため、フレーク等によるエッチング残りが無くなる。

【0029】請求項5記載の発明は、請求項4に係る薄膜トランジスタの製造方法であって、前記下層膜として、モリブテンとタングステンとの合金膜を用い、かつ、この下層膜の形成工程において、前記タングステンの濃度を、下層膜のエッチング速度が前記上層膜のエッチング速度と同じか若しくは遅くなる値に制御することに特徴を有しており、これにより次のような作用を有する。すなわち、上層膜のエッチング速度に合わせて、下層膜のエッチング速度を制御することができ、これによって、ゲート電極や信号配線の形状を、緩やかなテーパ形状にするといった任意の形状に制御することが容易となる。

【0030】以下、本発明の実施の形態である薄膜トランジスタアレイ及びその製造方法を、図1～図8を参照して説明する。

【0031】まず、この薄膜トランジスタアレイの構造を図1を参照して説明する。すなわち、ガラス基板等からなる透光性基板1のうえに、 SiO_x からなるアンダーコート膜2が設けられている。アンダーコート膜2のうえには、多結晶 Si 膜パターン3が設けられている。多結晶 Si 膜パターン3には、P型半導体領域3PとN型半導体領域3Nと低ドーピング型半導体領域3LDとが設けられている。

【0032】さらに、透光性基板1には多結晶 Si 膜パターン3を覆って第1ゲート絶縁膜4と第2ゲート絶縁膜5とが形成されており、第2ゲート絶縁膜5の上層には、ゲート金属膜パターン6が形成されている。ゲート金属膜パターン6は下層膜6aと上層膜6bとを積層して構成されており、下層膜6aはモリブデン-タングステン合金（以下、Mo-W合金と称す）から構成されている。上層膜6bはアルミニウム-ジルコニウム合金

（以下、Al-Zr合金と称す）から構成されている。ゲート金属膜パターン6は各トランジスタのゲート電極、画素トランジスタ部や駆動回路部の信号配線の機能を果たしている。

【0033】さらに、透光性基板1には、ゲート金属膜パターン6を覆って第1層間絶縁膜7が形成されており、第1層間絶縁膜7のうえには、第2層間絶縁膜9と、ITO等の透明導電膜からなる画素電極8とが形成されている。第1、第2層間絶縁膜7、8は例えば SiO_x から構成されている。第2層間絶縁膜9の上層には、ソース電極10S、ドレイン電極10D、走査配線10SBが配設されている。これら電極10S、10P、10SBは、チタン膜（以下、Ti膜と称す）10aとアルミニウム膜（以下、Al膜と称す）10bとを積層して形成されており、P型、N型の半導体領域3P、3Nないし画素電極8にそれぞれ接続されている。透光性基板1には、これら電極10S、10D、10SBを覆って SiN_x よりなるパッシベーション膜11が形成されている。このようにして、画素部A、画素トランジスタ部B、駆動回路部Cおよびゲート配線部Dを備えた薄膜トランジスタアレイが構成されている。

【0034】次に、この薄膜トランジスタアレイの製造方法を説明する。ガラス基板等の透光性基板1のうえに、 SiO_x 等よりなるアンダーコート膜2を成膜する。さらに、アンダーコート膜2上にアモルファス Si 膜を成膜し、所定の熱処理を加えた後、エキシマレーザーを照射することで多結晶 Si 膜3'を形成する。（図2（a）参照）

次に、多結晶 Si 膜3'をウェットエッチングを用いたリソグラフィ工程により所定の多結晶 Si 膜パターン3に形成した後、基板全面に SiO_x よりなる第1ゲート絶縁膜4、及び TaO_x よりなる第2ゲート絶縁膜5を連続的に成膜する。更に、第2ゲート絶縁膜5上に、Mo-W合金からなる下層膜6aとAl-Zr合金からなる上層膜6bとを成膜して積層する。（図2（b）参照）

次に、駆動回路部Cの所定領域にp型トランジスタを形成する。この工程は、まず、上層膜6b上に所定のフォトリソパターンの（図示省略）を形成し、リン酸、硝酸、酢酸、及び水の混合液を用いて下層膜6aと上層膜6bとを、一括でウェットエッチングすることで、上下層膜6a、6bからなるイオン注入用のマスクパターン12を作成する。（図2（c）参照）

マスクパターン12をマスクとし、多結晶 Si 膜パターン3の一部にB（ホウ素）を含むガスを選択的に注入してp型半導体領域3Pを形成する。（図2（d）参照）更に続けて、マスクパターン12が形成された透光性基板1上に、所定のフォトリソパターンの（図示省略）を形成し、再び、リン酸、硝酸、酢酸、及び水の混合液を用いてマスクパターン（下層膜6aおよび上層膜6b）12を一括で

ウェットエッチングすることで、マスクパターン12をゲート金属膜パターン6に成形する。ゲート金属膜パターン6は、p型トランジスタのゲート電極、n型トランジスタのゲート電極、およびこの画素トランジスタ部Bや駆動回路部Cの信号配線の機能を果たす部分を有している。(図2(e)参照)

続けて、透光性基板1上に所定のフォトリソパターン(図示省略)を形成したうえで、F系のガスを用いた反応性イオンエッチングを施すことで、第2ゲート金属膜5をパターンニングする。これにより、第2ゲート絶縁膜パターン5LDを、画素トランジスタ部Bのゲート電極となるゲート金属膜パターン6の側方位置に形成する。そして、ゲート金属膜パターン6及び第2ゲート絶縁膜パターン5LDをマスクとして多結晶Si膜パターン3の一部に、P(リン)を含むガスを選択的に注入する。これにより、多結晶Si膜パターン3にn型半導体領域3N及び低ドーパント型半導体領域3LDを形成する。このとき、第2ゲート絶縁膜パターン5LDの下に形成される低ドーパント型半導体領域3LDは、P(リン)の注入量が少ないために高抵抗となり、TFT特性におけるオフ電流の低減に効果的な役割を果たす。(図3(a)参照)

続いて、透光性基板1全面にSiO_xよりなる第1層間絶縁膜7を成膜する。第1層間絶縁膜7を成膜したのち、第1層間絶縁膜7全面を覆ってITO等の透明導電膜(図示省略)を成膜し、さらに透明導電膜に対してウェットエッチングを用いたリソグラフィ工程を施すことで、画素電極8を作成する。画素電極8を作成した後、画素電極8を覆って、SiO_xよりなる第2層間絶縁膜9を第1層間絶縁膜7上に成膜する。(図3(b)参照)

その後、第1、第2層間絶縁膜7、8に、P型半導体領域3PとN型半導体領域3Nとに達する開口13を形成し、さらに第2層間絶縁膜9に画素電極8に達する開口14を形成する。開口13、14を形成した後、透光性基板1の全面に、Ti膜10aとAl膜10bを積層して成膜し、さらに、Al膜10b及びTi膜10aを各々ウェットエッチング及びドライエッチングを用いたリソグラフィ工程によりパターンニングすることで、ソース電極10S、ドレイン電極10D、及び走査配線10SBを形成する。(図3(c)参照)

最後に、透光性基板1の全面にSiNx膜を成膜してパッシベーション膜11を形成する。さらに、水素ガスプラズマ雰囲気中で所定の温度の熱処理を施したのち、パッシベーション膜11に画素電極8及び実装電極部(図示省略)に達する開口15を形成して、図1に示す薄膜トランジスタアレイが完成する。

【0035】次に、本実施の形態に示したAl-Zr合金からなる上層膜6bとMo-W合金からなる下層膜6aとの積層構成(Al-Zr/Mo-W積層膜)を例に

して、本発明の薄膜トランジスタアレイのゲート金属膜パターン6について、以下に詳しく説明する。

【0036】上述した実施の形態に示した燐酸、硝酸、酢酸、及び水の混合液を用いた場合のAl-Zr合金膜及びMo-W合金膜のエッチング速度の添加元素濃度依存性を図4及び図5にそれぞれ示す。これら図により明らかのように、Al-Zr合金やMo-W合金からなる膜は、添加元素であるZr及びWの濃度によってそれぞれエッチング速度が変化する。

【0037】Al-Zr合金膜では、Zr濃度の増加に伴ってエッチング速度が低下し、このようなエッチング速度の変化は、下層にMo-W合金膜がある場合でも変わらない。一方、Mo-W合金膜では、W濃度の増加に伴ってエッチング速度は低下する。Mo-W合金膜におけるタングステン濃度は、基本的には、0.5原子%以上、30原子%以下であることが好ましい。これは次のような理由によっている。すなわち、タングステン濃度が0.5原子%以下であれば、Mo-W合金膜のエッチングレートが大きくなりすぎて、アンダーカットが生じやすくなる。一方、タングステン濃度が30原子%以上であれば、下層膜のウェットエッチングが不可能となってしまう。

【0038】タングステンにはこのような濃度範囲があるものの、同じW濃度であってもエッチング速度に幅が存在している。これは、次のような理由によっていると考えられる。すなわち、Al-Zr合金膜/Mo-W合金膜を積層した場合において、上層のAl-Zr合金膜がエッチングされてMo-W合金膜の表面が露出すると、エッチング液中において両合金膜間に電池反応が発生して、この電池反応により、Mo-W合金膜表面に不働態層が形成され、形成された不働態層によって、Mo-W合金膜のエッチング速度が低下する。

【0039】このような不働態層はどの程度形成されるかは必ずしも明らかではなく、

- ・エッチング液を攪拌する／しない、
- ・エッチングを大気圧中で行う／減圧下で行う、

といったエッチングの条件の変動によっても不働態層の形成具合が異なるうえ、組成や液温といったエッチング液の形態の変化によっても不働態層の形成具合が異なる。このような理由により、実際のMo-W合金膜のエッチング速度には図5に示す幅が存在する。

【0040】そこで、エッチング断面形状の制御を目的とした実際のゲート金属膜パターン6の各々の組成は、図6に示す指標に基づいて決められる。すなわち、Al-Zr合金膜(上層膜6b)のZr濃度をCZr(原子%)、Mo-W合金膜(下層膜6a)のW濃度をCW(Zr)(原子%)とすると、図6の中の領域Aで示した範囲、すなわち、次に示す②の式の条件を満たす量をWの添加量としたMo-W合金膜を配設した場合では、Al-Zr合金膜よりMo-W合金膜のエッチング速度

が速くなる。そのため、Mo-W合金膜のサイドエッチングが優勢になって、いわゆるアンダーカットが生じ易くなる結果、上層膜6bであるAl-Zr合金膜の段差被覆性が悪くなり、配線間ショートを引き起こす可能性が高くなる。

【0041】 $CW(Zr) < 2.5CZr + 5$ …②
一方、W濃度が(図6)中の領域Cで示した範囲、すなわち、次の③式の条件を満たす量を、Wの添加量としたMo-W合金膜を配設した場合は、Mo-W合金膜よりAl-Zr合金膜のエッチング速度が速くなる。そのため、低抵抗であるAl合金部分(上層膜6b)の配線が細ってしまい、その結果、配線の実効的な抵抗が上がる。

$$3C(Zr) + 15 \geq CW(Zr) \geq 2.5CZr + 5 \quad \dots \textcircled{4}$$

次に、Al-Zr/Mo-W積層膜の膜厚について述べる。Al-Zr/Mo-Wの積層膜においては、その膜厚は、(1)熱工程によるAl-Zr合金膜(上層膜6b)におけるヒロックの発生密度、(2)デバイス設計上必要とされる配線抵抗、の二つの要件で決められる。

【0044】まず、第1の要件であるヒロックの発生密度について説明する。例えばゲート金属膜パターン6を形成した後の最高プロセス温度(以下、 T_{max} と称す)が300℃である場合、Al-Zr合金膜(上層膜6b)中のZr濃度が0.5原子%以上である薄膜トランジスタアレイでは、膜厚に関わらずヒロックによる配線間ショート等の不良は発生しなかった。

【0045】一方、ゲート金属膜パターン6形成後の最高プロセス温度が450℃の場合、Al-Zr合金膜(上層膜6b)中のZr濃度が7.0原子%の薄膜トランジスタアレイでは、Al-Zr合金膜(上層膜6b)の膜厚に関わらずヒロックによる配線間ショート等の不良は発生しなかった。これらの条件を詳細に検討した結果、次に示す式⑤及び式⑥の条件を満たす濃度のZrが添加されたAl-Zr合金膜(上層膜6b)であれば、

ってしまったり、配線が非常に細い場合などには上層膜6b(Al-Zr)が消失するといった不都合が発生する可能性がある。

$$【0042】CW(Zr) > 3CZr + 15 \quad \dots \textcircled{3}$$

したがって、上記した実施の形態のごとく、Al-Zr/Mo-Wの積層膜をゲート金属膜パターン6として用いる場合には、Al-Zr合金膜におけるZr濃度、及びMo-W合金膜におけるW濃度は、図6中の領域Bで示した範囲、すなわち、次の式④を満たしていることが望ましい。

$$【0043】$$

その膜厚に関わらずヒロックによる配線間ショート等の問題は生じないことが判った。

$$【0046】CZr \geq 0.5 \quad \dots \textcircled{5}$$

$$\text{ただし、} 200^\circ\text{C} \leq T_{max} \leq 300^\circ\text{C}$$

$$CZr \geq 0.043T_{max} - 12.4 \quad \dots \textcircled{6}$$

$$\text{ただし、} 300^\circ\text{C} \leq T_{max} \leq 500^\circ\text{C}$$

次に、設計上望ましい配線抵抗を得るために、 T_{max} が高いにも関わらずAl-Zr合金膜(上層膜6a)のZr濃度を低くする必要のある場合の膜厚構成について次の表1、表2を参照して説明する。表1及び表2は、Al単体膜及び種々の組成のAl-Zr合金膜を上層膜6bに用いる一方、Mo-W合金膜を下層膜6aに用いたゲート金属膜パターン6を有するTFETアレイにおいて、ヒロックに起因する配線不良(ショート)が発生する有無を示している。表1は $T_{max} = 450^\circ\text{C}$ の場合、表2は $T_{max} = 500^\circ\text{C}$ の場合についてそれぞれ示している。

$$【0047】$$

【表1】

$T_{max}=450^\circ\text{C}$				
組成 \ 膜厚	50nm	100nm	150nm	200nm
Al	○	○	○	×
Al-0.5at%Zr	○	○	○	×
Al-1.0at%Zr	○	○	○	×
Al-5.0at%Zr	○	○	○	×
Al-7.0at%Zr	○	○	○	○
Al-9.0at%Zr	○	○	○	○

○…不良発生なし ×…不良発生あり

$$【0048】$$

【表2】

Tmax=500℃

組成 \ 膜厚	50nm	100nm	150nm	200nm
Al	○	○	○	×
Al-0.5at%Zr	○	○	○	×
Al-1.0at%Zr	○	○	○	×
Al-5.0at%Zr	○	○	○	×
Al-7.0at%Zr	○	○	○	×
Al-9.0at%Zr	○	○	○	○

○…不良発生なし ×…不良発生あり

【0049】表1及び表2からも明かなように、Al膜、及びAl-Zr合金膜のヒロック発生密度には膜厚依存性があり、50nm以上150nm以下の膜厚の範囲内であれば、Al-Zr合金膜やAl膜にヒロックに起因する配線間ショート等の問題は生じない。さらに、Al-Zr合金膜の場合では、その組成にかかわらず、上記問題は生じない。

【0050】次に、膜厚構成の第2の要件である配線抵抗について説明する。本発明のAl合金膜とMo-W合金膜の積層構成よりなるゲート金属膜パターン6の重要な特徴の第1は、下層膜6aとしてMoを主成分とする合金を用いることで、一括してウェットエッチングすることが可能になった点であり、この特徴から高歩留まり、或いは生産性の向上といった利点が生まれる。

【0051】一方、第2の重要な特徴は、高温のプロセスに十分耐え、且つ低い配線抵抗が実現できる点である。このような特徴が生じる理由は次の通りである。すなわち、第1の理由は、上述したようにゲート金属膜パターン6形成後の最高プロセス温度が例えば450℃といった高温であるにも関わらず、Alを主成分とする金属膜（Al-Zr合金膜）中の添加物（Zr）の濃度を低くすることができることである。また、第2の理由は、下層膜6aであるMo-W合金膜の比抵抗が $15 \sim 20 \mu\Omega \cdot \text{cm}$ であり、従来下層膜として用いられていたチタン膜などに比べて比抵抗が非常に低いことである。

【0052】一例として、次のようなゲート金属膜パターン6、54を形成して、そのシート抵抗のAl-Zr合金膜厚依存性を測定した。その結果を図7に示す。ここで、本発明のゲート金属膜パターン6としては、Mo-W合金からなり膜厚150nmの下層膜6aの上に、Zrを1.0原子%添加したAl-Zr合金からなる上層膜6bを種々の膜厚で形成してなるものを作成した。また、従来例のゲート金属膜パターン54としては、チタンからなり膜厚150nmの下層膜54aの上に、Zrを1.0原子%添加したAl-Zr合金からなる上層膜54bを種々の膜厚で形成してなるものを作成した。なお、このようにして構成した下層膜6a（Mo-W合金）の比抵抗は $20 \mu\Omega \cdot \text{cm}$ となり、下層膜54a（チタン）の比抵抗は $100 \mu\Omega \cdot \text{cm}$ となる。

【0053】図7より明かなように、本発明品では、

従来例品に比べてシート抵抗を低減することができる。しかもこのような効果は上層膜6b、54bの膜厚が薄い程大きく、上層膜6b、54bの膜厚を100nmとした場合には30%、75nmでは35%ものシート抵抗の低減効果が得られ、上述のヒロック発生密度の抑制効果と併せて、従来にない優れたゲート金属膜パターンを作成することができ、その分、表示品位の優れた液晶表示装置が提供できる。

【0054】ところで、上記した実施の形態では、ゲート金属膜パターン6として、Al-Zr合金からなる上層膜6bと、Mo-W合金からなる下層膜6aとを有する積層構成（Al-Zr/Mo-W積層膜）を用いた。本発明の大きな特徴の一つは、下層膜6aとしてモリブデン（Mo）を主成分とする金属膜を用いることで、上層膜6bとして用いるアルミニウム合金を、比抵抗 $10 \mu\Omega \cdot \text{cm}$ 以下といった低抵抗のものにする（＝添加元素の添加量を低く抑える）ことにある。したがって、上層膜6bとして用いる金属は、Al-Zr合金に限るものではない。以下、Al-Nd合金から上層膜6b'を構成した場合を説明する。

【0055】Al-Nd合金から上層膜6b'を構成した場合には、

- ・上層膜6b'の比抵抗がNd濃度に比例して増加する点、

- ・Nd濃度が少なく耐熱性が低い場合でも上層膜6b'の膜厚を薄くすることによりヒロック発生密度を低減させることができ、実用上問題にならない点、

- ・一括ウェットエッチングの際、下層膜6a（Mo-W合金）のエッチング速度が下層膜6aが単層状態である場合に比べて低下する点、

等々の傾向はAl-Zr合金からなる上層膜6bを設けた場合と変わらない。しかしながら、エッチング速度やヒロック発生密度のNd濃度依存性の傾向や最適膜厚構成がAl-Zr合金膜からなる上層膜6bを設けた場合と異なる。

【0056】そこで、ここでは詳細な説明は省略し、最適な濃度範囲及び膜厚構成を示す条件のみを説明する。なお以下の説明では、Al-Nd合金膜中のNd濃度をC_{Nd}、Al-Nd/Mo-W積層構成で用いるMo-W合金膜中のW濃度をC_w（Nd）、そしてゲート金属膜成膜後の最高プロセス温度を前述と同様、T_{max}とし

て説明する。

【0057】この変形例においても、エッチング断面形状の制御を目的とした実際のゲート金属膜パターン6'の各々の組成は、図8に示す指標に基づいて決められる。前述したAl-Zr/Mo-W積層構成(図6参

$$CNd + 15 \geq CW \quad (Nd) \geq 0.5CNd + 5 \quad \cdots \textcircled{7}$$

次に、上層膜6b'(Al-Nd)/下層膜6a(Mo-W)積層構成の最適な膜厚構成及び濃度範囲を説明する。

【0059】Al-Nd/Mo-Wの積層膜においても、Al-Zr/Mo-Wの積層膜の場合と同様、その膜厚は、(1)熱工程によるAl-Nd合金膜(上層膜6b')におけるヒロックの発生密度、(2)デバイス設計上必要とされる配線抵抗、の二つの要件で決められる。

【0060】まず、第1の要件であるヒロックの発生密度について説明する。上層膜6b'を有するゲート金属膜パターン6'を形成した後の最高プロセス温度(以下、Tmaxと称す)が300℃である場合、Al-Nd合金膜(上層膜6b')中のNd濃度が0.2原子%以上である薄膜トランジスタアレイでは、膜厚に関わらずヒロックによる配線間ショート等の不良は発生しなかった。

【0061】一方、ゲート金属膜パターン6'形成後の最高プロセス温度が450℃の場合、Al-Nd合金膜(上層膜6b')中のNd濃度が3.5原子%の薄膜トランジスタアレイでは、Al-Nd合金膜(上層膜6b')の膜厚に関わらずヒロックによる配線間ショート

照)の場合と同じ理由から、最適なNd濃度及びW濃度は、次の⑦式を満足するもの(図8中の領域Bの範囲で示される範囲)であれば、本発明の要件を満たす。

【0058】

等の不良は発生しなかった。これらの条件を詳細に検討した結果、次に示す式⑧及び式⑨の条件を満たす濃度のNdが添加されたAl-Nd合金膜(上層膜6b')であれば、その膜厚に関わらずヒロックによる配線間ショート等の問題は生じないことが判った。

【0062】 $CNd \geq 0.2 \quad \cdots \textcircled{8}$

ただし、 $200^\circ\text{C} \leq Tmax \leq 300^\circ\text{C}$

$CNd \geq 0.022Tmax - 6.4 \quad \cdots \textcircled{9}$

ただし、 $300^\circ\text{C} \leq Tmax \leq 500^\circ\text{C}$

次に、設計上望ましい配線抵抗を得るために、Tmaxが300℃以上500℃以下と高いにも関わらずAl-Nd合金膜のNd濃度を低くする必要のある場合について次の表3、表4を参照して説明する。表3および表4は、Al単体膜及び種々の組成のAl-Nd合金膜を上層膜6b'に用い、Mo-W合金膜を下層膜6aに用いたゲート金属膜パターン6を有する薄膜トランジスタアレイにおいて、ヒロックに起因する配線不良(ショート)の発生の有無を示している。表3はTmax=450℃の場合、表4はTmax=500℃の場合についてそれぞれ示している。

【0063】

【表3】

Tmax=450℃

膜厚 組成	50nm	100nm	150nm	200nm
Al	○	○	○	×
Al-0.2at%Nd	○	○	○	×
Al-0.5at%Nd	○	○	○	×
Al-2.0at%Nd	○	○	○	×
Al-3.5at%Nd	○	○	○	○
Al-4.5at%Nd	○	○	○	○

○…不良発生なし ×…不良発生あり

【0064】

【表4】

Tmax=500℃

膜厚 組成	50nm	100nm	150nm	200nm
Al	○	○	○	×
Al-0.2at%Nd	○	○	○	×
Al-0.5at%Nd	○	○	○	×
Al-2.0at%Nd	○	○	○	×
Al-3.5at%Nd	○	○	○	×
Al-4.5at%Nd	○	○	○	○

○…不良発生なし ×…不良発生あり

【0065】表3および表4からも明らかなように、Al単体膜、或いはAl-Nd合金膜のヒロック発生密度には膜厚依存性があり、50nm以上150nm以下の

膜厚の範囲内であれば、Al-Nd合金膜(上層膜6b')の組成に関わらず、また、Al膜であってもヒロックの発生に起因する配線間ショート等の問題は起きな

い。ところで、上層膜6b、6b'として用いるAlを主成分とする金属膜については、以上の実施の形態で示したAl膜、Al-Zr合金膜、Al-Nd合金膜以外にもAlにTi、Ta、Gd、V、Bといった他の元素が単一もしくは複数種添加された合金膜でも適用可能である。この際の添加元素濃度は、添加元素の濃度（複数種の元素を添加した場合には、それら添加元素の合計濃度）が概ね0.5原子%以上10原子%以下であればよい。また、特にゲート配線形成後の最高プロセス温度が300℃以上500℃以下であるような場合には、Al膜或いはAl合金膜の厚さは50nm以上150nm以下であれば実用上何ら問題はない。

【0066】さらには、上述した実施の形態では、下層膜6aとして用いるモリブデン(Mo)を主成分とする金属膜を、Mo-W合金としていた。すなわち、モリブデンに添加する元素としてタングステンをを用いていたが、モリブデンに対して、タングステンの以外の金属（例えば、ジルコニウム、バナジウムなど）を添加して、上記下層膜を構成してもかまわないのはいうまでもない。

【0067】

【発明の効果】

請求項1、4の効果

上層膜と下層膜とを、ドライエッチング手法を用いることなく、同一のエッチング液を用いたウェットエッチング手法により一括にパターニングすることができ、その分、生産性が良くなるうえに、エッチング不良を起こしにくくなり、歩留まりが向上する。

【0068】また、モリブデンを主成分とする金属からなる膜は、チタン膜に代わる良質な水分透過に対するバリア層となる。また、モリブデンを主成分とする金属からなる膜は、チタン膜の場合に見られたようなイオン注入時のダメージに起因するドライエッチング時の残さを生じさせないので、その分、薄膜トランジスタの加工精度が向上する。

【0069】さらには、比較的比抵抗の低いモリブデンを主成分とする金属からなる下層膜を設けることで、上層膜（アルミニウムを主成分とする金属）の膜厚を薄くしながらも、ゲート電極や信号配線の配線抵抗を低くすることが可能となった。上層膜でのヒロックの発生密度には膜厚依存性があり、上層膜の膜厚が薄いほどヒロックが発生しにくく、さらには上下層膜のカパレッジが良くなる。そのため、本発明では、配線抵抗を低く維持しつつ、配線間ショートを抑止することができる。

【0070】さらにまた、下層膜（モリブデンを主成分とする金属）が含有するモリブデン以外の添加元素の濃度を制御することで、下層膜と上層膜（アルミニウムを主成分とする金属）の積層構造の形状を制御することができるので、上層膜と下層膜とのエッチング速度を制御して所望のパターン形状を得ることができる。

【0071】請求項2の効果

ヒロックの発生をさらに効率よく抑制することが可能となるうえ、上層膜として、高温プロセスにおいても比抵抗の低いAl膜或いは添加元素濃度の低いAl合金膜を用いることができる。

【0072】請求項3の効果

下層膜をウェットエッチング法によって残さ無くエッチングすることが可能となる。また、下層膜のエッチング速度を、上層膜のエッチング速度に合わせて制御することも容易となり、その分、エッチング精度が向上する。

【0073】請求項5の効果

例えば、ゲート電極や信号配線の側面を緩やかなテーパ形状にするといったように、ゲート電極や信号配線の形状を、カパレッジ等の点で都合の良い形状にすることが容易となる。

【0074】このように、本発明によれば、低抵抗で信頼性の高いゲート電極及び信号配線を従来よりも高い生産性で、且つ歩留まり良く形成することが可能となり、薄膜トランジスタを用いて、高開口率、高解像度、大型の液晶表示装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の薄膜トランジスタアレイの構成を示す断面図である。

【図2】実施の形態の薄膜トランジスタアレイの製造方法の前期工程の各段階をそれぞれ示す断面図である。

【図3】実施の形態の薄膜トランジスタアレイの製造方法の後期工程の各段階をそれぞれ示す断面図である。

【図4】Al-Zr合金膜のエッチング速度のZr添加濃度依存性を示す図である。

【図5】Mo-W合金膜のエッチング速度のW添加濃度依存性を示す図である。

【図6】Al-Zr合金膜の組成とMo-W合金膜の組成の関係を示す図である。

【図7】Al-Zr/Mo-Wからなる本発明のゲート金属膜パターン、及びAl-Zr/Tiからなる従来例のゲート金属膜パターンにおけるシート抵抗のAl-Zr合金膜厚依存性を示す図である。

【図8】Al-Nd合金膜の組成とMo-W合金膜の組成の関係を示す図である。

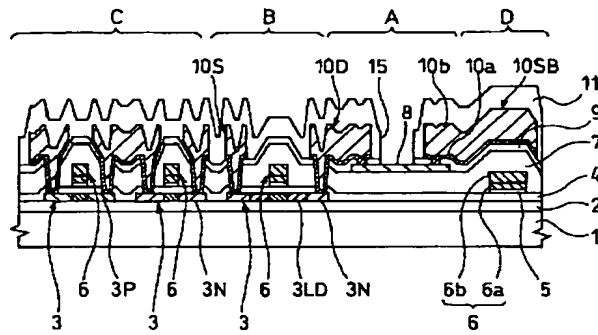
【図9】従来例の薄膜トランジスタアレイの構成を示す断面図である。

【符号の説明】

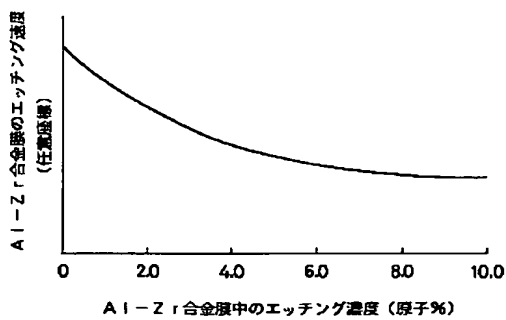
- | | |
|-----|-------------|
| 1 | 透光性基板 |
| 3 | 多結晶Si膜パターン |
| 3P | p型半導体領域 |
| 3N | n型半導体領域 |
| 3LD | 低ドーブn型半導体領域 |
| 4 | 第1ゲート絶縁膜 |
| 5 | 第2ゲート絶縁膜 |
| 6 | ゲート金属膜パターン |

- 6 a 下層膜
6 b 上層膜
7 第1層間絶縁膜
8 画素電極

【図1】

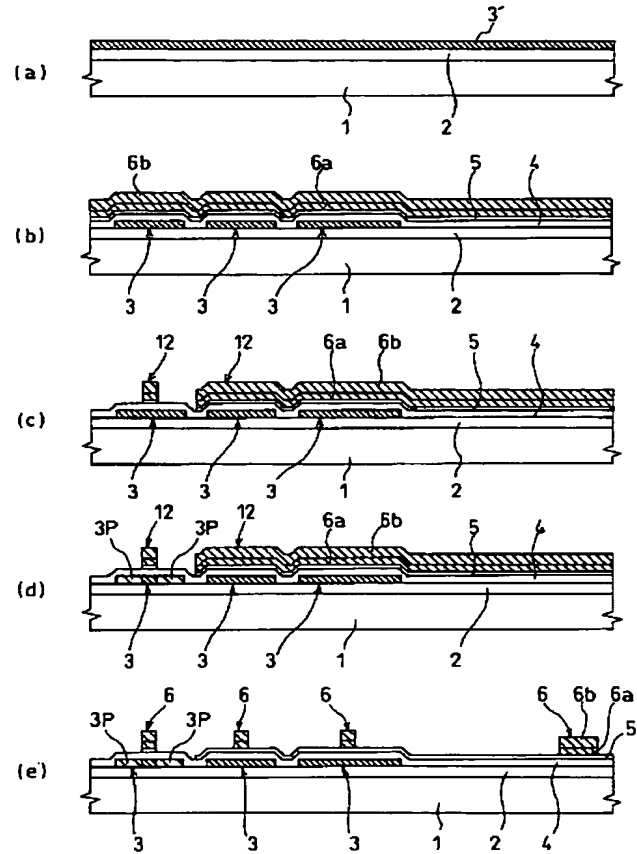


【図4】

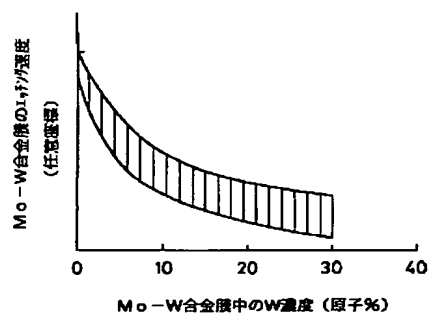


- 9 第2層間絶縁膜
10S ソース電極
10D ドレイン電極
10SB 走査配線

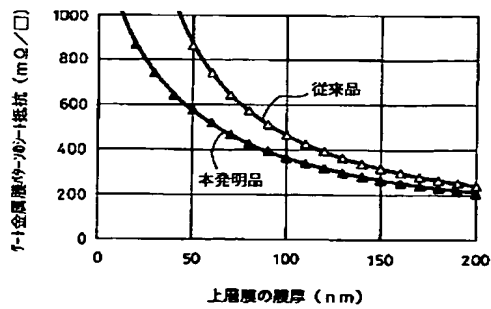
【図2】



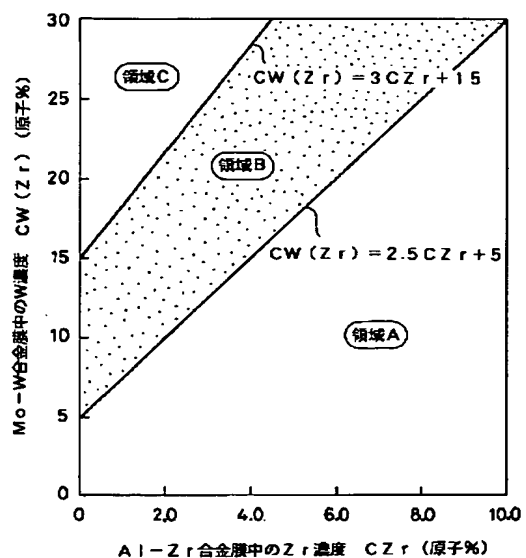
【図5】



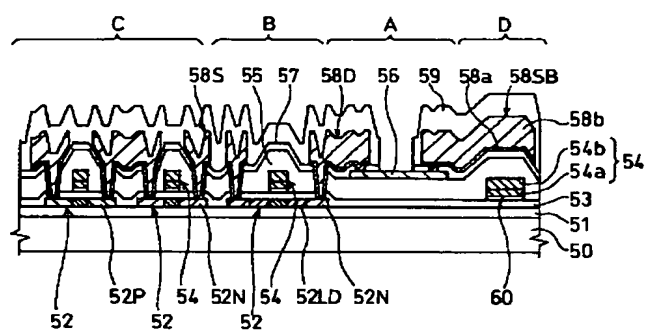
【図7】



【图6】



【图9】



(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: 247733/1998

(43) Date of Publication of Application: September 14, 1998

(51) Int. Cl.⁶ :

H 01 L 29/786

G 02 F 1/136

Identification Number:

500

FI

H 01 L 29/78 612 C

G 02 F 1/136 500

H 01 L 29/78 617L

617M

Request for Examination: not made

Number of Claims: 5 OL (12 pages in total)

(21) Application Number Hei-9-49005

(22) Application Date: March 4, 1997

(71) Applicant: 000005821

Matsushita Electric Ind. Co., Ltd.

1006, Oaza Kadoma, Kadoma-shi,

Osaka

(72) Inventors: YAMAMOTO Mutsumi, TSUTSU Hiroshi,

OKAFUJI Michiko

c/o Matsushita Electric Ind. Co., Ltd.

1006, Oaza Kadoma, Kadoma-shi,
Osaka

(74) Agent: Patent Attorney, OKADA Kazuhide

(54) Title: THIN FILM TRANSISTOR AND MANUFACTURING METHOD FOR
IT

(57) Abstract

[Problem] To realize a wiring structure with low resistance and high reliability while the productivity and yield are maintained.

[Means for Resolution] At least one of a gate electrode and a signal wiring has a laminated structure of a lower layer film 6a formed of metal mainly composed of molybdenum and an upper layer film 6b formed of metal mainly composed of aluminum, whereby collective wet etching process, the control for the etching shape and low wiring resistance can be realized.

Claims:

1. A thin film transistor, comprising: a semiconductor layer; a gate insulation film; a gate electrode; a source-drain electrode and a signal wiring, which are provided on a substrate, wherein at least one of the gate electrode and the signal wiring has a lower layer film formed of metal mainly composed of molybdenum and an upper layer film, which is formed of metal mainly composed of aluminum and stacked on the lower

layer film.

2. The thin film transistor according to claim 1, wherein the film thickness of the upper layer film is from 50 nm to 150 nm both inclusive.

3. The thin film transistor according to claim 1 or 2, wherein the lower layer film contains tungsten, and the additive concentration of tungsten is from 0.5 atomic % to 30 atomic % both inclusive.

4. A manufacturing method for a thin film transistor having a semiconductor layer, a gate insulation film, a gate electrode, a source-drain electrode and a signal wiring, which are formed on a substrate, wherein the process of forming from the gate electrode to the signal wiring includes the steps of: forming a lower layer film formed of metal mainly composed of molybdenum; forming an upper layer film formed of metal mainly composed of aluminum to be stacked on the lower layer film; and simultaneously forming the lower layer film and the upper layer film into a designated pattern by wet etching.

5. The manufacturing method for a thin film transistor according to claim 4, wherein as the lower layer film, an alloy film of molybdenum and tungsten is used, and in the forming process of the lower layer film, the concentration of the tungsten is controlled to a value so that the etch rate of the lower layer film is the same or a little lower than the etch rate of the upper layer film.

Detailed Description of the Invention:

[0001]

[Technical Field to which the Invention Belongs]

This invention relates to a thin film transistor and a manufacturing method for it and particularly it provides a wiring having low resistance and high reliability even in a high-temperature process.

[0002]

[Prior Art]

Various techniques for forming a thin film transistor using a polycrystalline silicon film (hereinafter referred to as polycrystalline Si film) on a transparent substrate to realize high-performance thin film transistor array have been shown heretofore. In these techniques, it is requested to use a glass substrate, which is inexpensive and disables high temperature processing, as a transparent substrate. In order to meet such a request, low-temperature polycrystalline Si film forming technology has been put to practical use for the last few years and applied to a manufacturing method for a thin film transistor array. An example will now be described with reference to Fig. 9.

[0003]

First a polycrystalline Si film (not shown) is deposited on a translucent substrate (glass substrate) 50 where an

undercoat film 51 formed by a SiO_x film is formed, and further the polycrystalline Si film is shaped into a designated polycrystalline Si film pattern 52. A gate insulation film 53 formed by a SiO_x film is formed on the whole surface of the translucent substrate 50 where the polycrystalline Si film pattern 52 is formed, and subsequently a metal laminated film (not shown) formed by a laminated film of a lower layer film made of titanium and an upper layer film made of aluminum alloy is deposited on the whole surface of the translucent substrate 50.

[0004]

The deposited metallic laminated film is shaped into a mask pattern for forming a P-type semiconductor region and then with the mask pattern as a mask, gas containing boron (B) is injected into a part of the translucent substrate 50, thereby forming a p-type semiconductor region 52P in the polycrystalline Si film pattern 52. Further, the mask pattern formed on the metal laminated film is reshaped into a gate metal film pattern 54. After the gate metal film pattern 54 is formed, with the gate metal film pattern 54 as a mask, gas containing phosphorus (P) is injected into a part of the translucent substrate 50, thereby forming an n-type semiconductor region 52N in the polycrystalline Si film pattern 52.

[0005]

The gate metal film pattern 54 functioned as a mask in

the above ion injection is provided with a lower layer film 54a formed of titanium and an upper layer film 54b formed of aluminum alloy, and even after being functioned as a mask, it is made to remain to fulfill the functions of the gate electrode of each transistor, a TFT array and a signal wiring of a driving circuit part.

[0006]

After p-type and n-type semiconductor regions 52P, 52N are formed, a first interlayer insulation film 55 formed by a SiOx film, a pixel electrode 56 formed by a transparent conductive film and a second interlayer insulation film 57 formed by a SiOx film are formed on the whole surface of the translucent substrate 50. An opening reaching the polycrystalline Si film pattern 52 and the pixel electrode 56 is formed in the first interlayer insulation film 55 and the second interlayer insulation film 57, and a source electrode 58S, a drain electrode 58D and a scan wiring 58SB are formed above the opening. The source electrode 58S, the drain electrode 58D and the scan wiring 58SB are formed by a laminated film of a titanium film 58a provided on the lower layer side and an aluminum film 58b provided on the upper layer side.

[0007]

After that, a passivation film 59 made by a SiNx film is formed on the translucent substrate 50, and further the semiconductor layer (the polycrystalline Si film pattern 52)

is activated by heat treatment in an atmosphere of hydrogen to complete a polycrystalline TFT array having a pixel part A, a pixel transistor part B, a driving circuit part C and a gate wiring part D.

[0008]

In the drawings, the reference numeral 52LD is a low-doped n-type semiconductor region formed adjacent to the n-type semiconductor region 52N, and the reference numeral 60 is a second gate insulation film formed between the gate insulation film 53 and the gate metal film pattern 54.

[0009]

The thus manufactured polycrystalline Si TFT array is characterized in that a driving circuit part formed by a transistor of CMOS structure can be simultaneously fixed on the same substrate, so that the manufacturing cost of a liquid crystal display panel can be remarkably reduced, and also a switching element and a signal wiring can be reduced in size and thinned so as to attain high pixel aperture ratio or high definition.

[0010]

In the above conventional thin film transistor, as the main component of the gate metal film pattern 54 which becomes the gate electrode and the signal wiring, low-resistance Al alloy (the upper layer film 54b) is used, whereby lowering of display performance due to delay of the signal wiring is

prevented. However, in order to constitute the gate metal film pattern 54 taking the Al alloy as the main component, it was necessary to take a laminated structure in which the lower layer film 54a formed of titanium is disposed under the upper layer film (aluminum alloy film) 54b. The reason for this is as follows.

[0011]

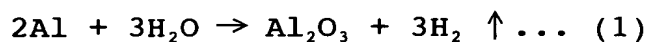
When the gate metal film pattern 54 is constituted by a monolayer Al alloy film, in the subsequent process, caused is the disadvantage that the gate metal film pattern 54 and the interlayer insulation films 55, 57 located thereon are floated or separated by heat process conducted at 400 °C in depositing the first and second interlayer insulation films 55, 57. Although the cause of this disadvantage is not always clear, it is guessed as follows.

[0012]

Although the SiO_x film used in the gate insulation film 53 and the undercoat film 51 which are the bed layer of the gate metal film pattern 54 structurally adsorbs and retains moisture, it is inevitable that the moisture is desorbed from the SiO_x film to some extent by heat process in depositing the first and second interlayer insulation films 55, 57. The desorbed moisture, however, reacts with Al which is a principal ingredient of the gate metal film pattern 54 to generate hydrogen as shown in the following formula (1). The thus

generated hydrogen pushes up the first and second interlayer insulation films 55, 57 or the gate metal film pattern 54, thereby causing floating and separation of the films.

[0013]



On the contrary, when the lower layer film 54a formed of titanium is provided under the upper layer film 54b formed of an aluminum alloy as described above so that the lower layer film 54a is functioned as a barrier layer to the moisture desorbed from the SiOx film, the above disadvantage can be overcome.

[0014]

[Problems that the Invention is to Solve]

However, even in the conventional thin film transistor array in which the above lamination structure is used as the gate metal film pattern 54 to overcome the disadvantage due to separation of moisture, the problems such as (1) lowering of yield, (2) generation of Ti residue, and (3) impossibility of preventing inter-wiring short caused in the case of using an Al alloy as the principal ingredient of the gate metal film pattern 54 become obvious. The problems will now be described.

Description of the Problem (1)

The processing for the lower layer film 54a added as a barrier layer is conducted only by dry etching. Consequently, in addition to the wet etching process performed in processing

the upper layer film 54b (aluminum alloy), newly a dry etching process is needed, so the number of processes is increased. Besides, the dry etching itself is poor in productivity as compared with the wet etching, and also flakes or the like are put on the surface of the substrate to easily cause etching failure. For these reasons, when the lower layer film 54a formed of titanium is provided, lowering of yield is caused.

[0015]

Description of the Problem (2)

In performing the dry etching process for forming the gate metal film pattern 54, Ti residue in dry etching is generated on the gate insulation film 53 by damage due to the previously performed formation process (ion implantation) of the p-type semiconductor region 52P. Such Ti residue works as an unnecessary mask in the work (e.g. ion implantation performed in the process of forming n-type semiconductor region 52N) such as ion implantation performed in the subsequent process to deteriorate the processing accuracy (the accuracy of ion implantation or the like).

[0016]

Description of the Problem (3)

In the case of using the aluminum alloy as the principal ingredient of the gate metal film pattern 54, hillock is caused from the aluminum alloy. In order to prevent such hillock, it will be sufficient to fully lower the process temperature

after the gate metal film is formed, but the technique for lowering the process temperature without deteriorating the performance of the thin film transistor is not realized up to now. On the contrary, the concentration of an additive element in the upper layer film 54b (aluminum alloy) may be heightened to prevent the above hillock. The heightening of the concentration of an additional element in the aluminum alloy, however, will cause a rise in wiring resistance.

[0017]

Therefore, in order to prevent hillock and simultaneously obtain enough low wiring resistance, it is necessary to enlarge the film thickness of the gate metal film pattern 54. However, the density of causing hillock in the aluminum alloy film has a film thickness dependency and such a tendency that the larger the film thickness is, the higher the hillock generation density is and the larger its shape is. Consequently, the vicious circle is produced, in which when the film thickness of the upper layer film 54b is increased to prevent hillock, the hillock is liable to occur due to that cause. This will not prevent hillock. Further, when the film thickness of the gate metal film pattern 54 is increased, the coverage of the first and second interlayer insulation films 55, 57 formed thereon is deteriorated, resulting in the occurrence of inter-wiring short.

[0018]

The above will not change even if the gate metal film pattern 54 has the lamination structure of the upper layer film 54b (aluminum alloy) and the lower layer film 54a (titanium). That is, since the specific resistance of the lower layer film 54a (titanium) is high as much as about $100\ \mu\Omega\cdot\text{cm}$ in the gate metal film pattern 54 of the lamination structure, it is necessary to increase the film thickness of the upper layer film 54b (aluminum alloy) for lowering the wiring resistance of the gate metal film pattern 54, and in spite of increase in film thickness, hillock is liable to occur, the coverage for the gate metal film pattern 54 with the first and second interlayer insulation films 55, 57 formed on the gate metal film pattern 54 is deteriorated to easily cause inter-wiring short.

[0019]

[Means for Solving the Problems]

According to the invention, a thin film transistor includes a semiconductor layer, a gate insulation film, a gate electrode, a source-drain electrode and a signal wiring, which are provided on a substrate, wherein at least one of the gate electrode and the signal wiring has a lower layer film formed of metal mainly composed of molybdenum and an upper layer film, which is formed of metal mainly composed of aluminum and stacked on the lower layer film.

[0020]

[Mode for Carrying Out the Invention]

According to the invention described in claim 1, a thin film transistor is formed by providing a semiconductor layer, a gate insulation film, a gate electrode, a source-drain electrode and a signal wiring on a substrate, and characterized in that at least one of the gate electrode and the signal wiring has a lower layer film formed of metal mainly composed of molybdenum and an upper layer film, which is formed of metal mainly composed of aluminum and stacked on the lower layer film, whereby the following effects are provided.

[0021]

The first is that the upper layer film formed of metal mainly composed of aluminum and the lower layer film formed of metal mainly composed of molybdenum can be subjected to patterning by the dry etching method using the same etchant without using the dry etching method.

[0022]

The second is that the film formed of metal mainly composed of molybdenum works as a good barrier layer to moisture penetration instead of a titanium film. And, the film formed of metal mainly composed of molybdenum will not generate residue in dry etching due to damage at the time of ion implantation, which is found in the case of the titanium film.

[0023]

The third is that wiring resistance can be decreased

while hillock is restrained. Although the specific resistance of metal mainly composed of molybdenum is a little increased with an increase in concentration of the additive element, it is relatively low. In the case of using tungsten as an additional element, for example, it is substantially 15 to 20 $\mu\Omega\cdot\text{cm}$. Therefore, in the case of stacking the upper layer film formed of metal mainly composed of aluminum and the lower layer film formed of metal mainly composed of molybdenum to constitute the gate electrode or the signal wiring, even if the thickness of the upper layer film formed of metal mainly composed of aluminum is not so large, sufficiently low wiring resistance can be realized. On the other hand, the density of causing hillock in the film formed of metal mainly composed of aluminum has a film thickness dependency, and has such a tendency that the smaller the film thickness is, the lower the density of causing hillock is, and the smaller its shape is. Accordingly, in the constitution of the invention where the lower layer film formed of metal mainly composed of molybdenum having relatively low specific resistance is provided to decrease the film thickness of the upper layer film (metal mainly composed of aluminum), the occurrence of hillock due to the subsequent heat process can be restrained. Furthermore, since it is not necessary to set the thickness of the upper layer film so large, inter-wiring short will not be caused by deterioration of coverage of the film further formed on the

gate electrode and the signal wiring.

[0024]

The fourth is that the shape of the lamination structure of the lower layer film and the upper layer film (metal mainly composed of aluminum) can be controlled by controlling the concentration of an additive element other than molybdenum contained in the lower layer film (metal mainly composed of molybdenum). The way of constructing the metal mainly composed of aluminum as the upper layer film constituting the gate electrode and the signal wiring is determined in the light of wiring resistance needed in design or a manufacturing process for a thin film transistor. The etch rate thereof varies with the kind and concentration of an additive element added to the metal mainly composed aluminum. On the other hand, the etch rate of the lower layer film formed of metal mainly composed of molybdenum can be controlled within a practical range by suitably selecting the concentration of the additive element added to the metal mainly composed of molybdenum. Accordingly, when the concentration of the additive element of the lower layer film is selected depending on the etch rate of the upper layer film, the etch rate of the upper layer film and the lower layer film is controlled to obtain a desired pattern shape.

[0025]

The invention described in claim 2 is characterized in

that in the thin film transistor related to claim 1, the film thickness of the upper layer film is from 50 nm to 150 nm both inclusive, whereby the following effects can be provided. That is, the generation of hillock on the surface of the gate electrode or the signal wiring can be efficiently restrained. Even in further depositing a film on the upper layer film, inter-wiring short due to the growth of hillock can be prevented, and at the same time, even in high-temperature process, it is possible to use an Al film with low specific resistance or an Al film with low-concentration additional element.

[0026]

The invention described in claim 3 is characterized in that in the thin film transistor related to claim 1 or 2, the tungsten concentration of the lower layer film is from 0.5 atomic % to 30 atomic % both inclusive, whereby the following effects can be provided. That is, when the tungsten concentration is 0.5 atomic % or less, the etch rate of the lower layer film becomes so high that undercut is liable to occur. On the other hand, when the tungsten concentration is 30 atomic % or more, wet etching of the lower layer film can't be performed. Therefore, the tungsten concentration is limited within the above range, whereby the lower layer film can be etched without residue by the wet etching method, and also the etch rate of the lower layer film can be controlled according to the etch rate.

[0027]

The invention described in claim 4 is a manufacturing method for a thin film transistor having a semiconductor layer, a gate insulation film, a gate electrode, a source-drain electrode and a signal wiring, which are formed on a substrate, and the method is characterized in that the process of forming from the gate electrode to the signal wiring includes the steps of forming a lower layer film formed of metal mainly composed of molybdenum, forming an upper layer film formed of metal mainly composed of aluminum to be stacked on the lower layer film, and simultaneously forming the lower layer film and the upper layer film in a designated pattern by wet etching, whereby the following effects are provided.

[0028]

The upper layer film formed of metal mainly composed of aluminum and the lower layer film formed of metal mainly composed of molybdenum are simultaneously formed in a designated pattern with the same etchant, whereby high productivity can be realized. Furthermore, since the wet etching method can be used, etching residue of flakes or the like can be eliminated.

[0029]

The invention described in claim 5 is characterized in that in the manufacturing method for the thin film transistor related to claim 4, as the lower layer film, an alloy film of

molybdenum and tungsten is used, and in the forming process of the lower layer film, the concentration of the tungsten is controlled to a value so that the etch rate of the lower layer film is the same or lower than the etch rate of the upper layer film, whereby the following effects are provided. That is, the etch rate of the lower layer film can be controlled according to the etch rate of the upper layer film, so that the shapes of the gate electrode and the signal wiring can be easily controlled to an arbitrary shape, for example, a gently tapered shape.

[0030]

The thin film transistor array and the manufacturing method for it, which are embodiments of the invention, will now be described with reference to Figs. 1 to 8.

[0031]

First, the structure of the thin film transistor array will now be described with reference to Fig. 1. That is, an undercoat film 2 formed of SiO_x is provided on a translucent substrate 1 formed by a glass substrate or the like. A polycrystalline Si film pattern 3 is provided on the undercoat film 2. The polycrystalline Si film pattern 3 is provided with a P-type semiconductor region 3P, an N-type semiconductor region 3N, and a low-doped n-type semiconductor region 3LD.

[0032]

Further, a first gate insulation film 4 and a second gate

insulation film 5 are formed to cover a polycrystalline Si film pattern 3 on a translucent substrate 1, and a gate metal film pattern 6 is formed on the upper layer of the second gate insulation film 5. The gate metal film pattern 6 is constructed by stacking a lower layer film 6a and an upper layer film 6b, and the lower layer film 6a is formed of a molybdenum-tungsten alloy (hereinafter referred to as Mo-W alloy). The upper layer film 6b is formed of an aluminum-zirconium alloy (hereinafter referred to as Al-Zr alloy). The gate metal film pattern 6 fulfills functions of a gate electrode of each transistor, a pixel transistor part and a signal wiring of a driving circuit part.

[0033]

Further, a first interlayer insulation film 7 is formed to cover the gate metal film pattern 6 on the translucent substrate 1, and a second interlayer insulation film 9 and a pixel electrode 8 formed by a transparent conductive film such as ITO are formed on the first interlayer insulation film 7. The first and second interlayer insulation films 7, 8 are formed of SiO_x or the like. A source electrode 10S, a drain electrode 10D, and a scan wiring 10SB are disposed on the upper layer of the second interlayer insulation film 9. These electrodes 10S, 10P, 10SB are formed by stacking a titanium film (hereinafter referred to as Ti film) 10a and an aluminum film (hereinafter referred to as Al film) 10b, and respectively

connected to P-type and N-type semiconductor regions 3P, 3N and a pixel electrode 8. On the translucent substrate 1, a passivation film 11 formed of SiNx is formed to cover these electrodes 10S, 10D, 10SB. Thus, a thin film transistor array including a pixel part A, a pixel transistor part B, a driving circuit part C and a gate wiring part D is constructed.

[0034]

The manufacturing method for the thin film transistor array will now be described. On the translucent substrate 1 such as a glass substrate, an undercoat film 2 formed of SiOx or the like is deposited. Further, amorphous Si film is deposited on the undercoat film 2, and after a designated heat process is conducted thereto, excimer laser is applied thereto to form a polycrystalline Si film 3'. (See Fig. 2A)

Subsequently, the polycrystalline Si film 3' is shaped into a designated polycrystalline Si film pattern 3 by lithography process using wet etching, and then a first gate insulation film 4 formed of SiOx and a second gate insulation film 5 formed of TaOx are continuously deposited on the whole surface of the substrate. Further, a lower layer film 6a formed of Mo-W alloy and an upper layer film 6b formed of Al-Zr alloy are deposited and stacked on the second gate insulation film 5. (Fig. 2B)

Subsequently, p-type transistor is formed in a designated region of a driving circuit part C. In this process,

first, a designated photo resist pattern (not shown) is formed on an upper layer film 6b, and the lower layer film 6a and the upper layer film 6b are collectively wet-etched using a mixed solution of phosphoric acid, nitric acid, acetic acid and water to make a mask pattern 12 for ion implantation formed by the upper and lower layer films 6a, 6b. (See Fig. 2C)

With the mask pattern 12 as a mask, gas containing B (boron) is selectively injected into a part of the polycrystalline Si film pattern 3 to form a p-type semiconductor region 3P. (See Fig. 2D) Further, consecutively a designated photo resist pattern is formed on the translucent substrate 1 where the mask pattern 12 is formed, and again the mask pattern (the lower layer film 6a and the upper layer film 6b) 12 is collectively wet-etched with a mixed solution of phosphoric acid, nitric acid, acetic acid and water to thereby shape the mask pattern 12 into a gate metal film pattern 6. The gate metal film pattern 6 has parts fulfilling the functions of the gate electrode of the p-type transistor, the gate electrode of the n-type transistor, and signal wirings of the pixel transistor part B and the driving circuit part C. (See Fig. 2E)

Subsequently, after a designated photo resist pattern (not shown) is formed on the translucent substrate 1, reactive ion etching using F-base gas is performed, whereby the second gate metal film 5 is subjected to patterning. Thus, a second

gate insulation film pattern 5LD is formed on the side of the gate metal film pattern 6, which becomes a gate electrode of the pixel transistor part B. With the gate metal film pattern 6 and the second gate insulation film pattern 5LD as a mask, gas containing P(phosphorus) is selectively injected into a part of the polycrystalline Si film pattern 3. Thus, n-type semiconductor region 3N and a low-doped n-type semiconductor region 3LD are formed on the polycrystalline Si film pattern 3. At the time, the low-doped n-type semiconductor region 3LD formed under the second gate insulation film pattern 5LD becomes high resistance because the quantity of injecting P(phosphorus) is small so as to perform effective work for reducing off-current in TFT characteristic. (See Fig. 3A)

Subsequently, a first interlayer insulation film 7 formed of SiO_x is deposited on the whole surface of the translucent substrate 1. After the first interlayer insulation film 7 is deposited, a transparent conductive film (not shown) such as ITO is deposited to cover the whole surface of the first interlayer insulation film 7, and further lithography process using wet-etching is conducted for the transparent conductive film to make a pixel electrode 8. After the pixel electrode 8 is made, a second interlayer insulation film 9 formed of SiO_x is deposited to cover the pixel electrode 8 on the first interlayer insulation film 7. (See Fig. 3B)

After that, an opening 13 reaching the P-type

semiconductor region 3P and N-type semiconductor region 3N is formed in the first and second interlayer insulation films 7,8, and further an opening 14 reaching the pixel electrode 8 is formed in the second interlayer insulation film 9. After the openings 13, 14 are formed, Ti film 10a and Al film 10b are stacked and deposited on the whole surface of the translucent substrate 1, and further the Al film 10b and Ti film 10a are respectively subjected to patterning by the lithography process using wet-etching and dry etching, thereby forming a source electrode 10S, a drain electrode 10D and a scan wiring 10SB. (See Fig. 3C)

Lastly, SiNx film is deposited on the whole surface of the translucent substrate 1 to form a passivation film 11. Further, after a heat process is conducted at a designated temperature in an atmosphere of hydrogen gas plasma, an opening 15 reaching the pixel electrode 8 and a packaging electrode part (not shown) is formed in the passivation film 11 to complete a thin film transistor array shown in Fig. 1.

[0035]

Subsequently, the gate metal film pattern 6 of the thin film transistor array of the invention will now be described in detail taking lamination structure (Al-Zr/Mo-W laminated film) of the upper layer film 6b formed of an Al-Zr alloy and the lower layer film 6a formed of an Mo-W alloy shown in the present embodiment as an example.

[0036]

The additive element concentration dependency of the etch rate of the Al-Zr alloy film and Mo-W alloy film in the case of using a mixed solution of phosphoric acid, nitric acid, acetic acid and water shown in the above embodiment is shown in Figs. 4 and 5. As is clear from the diagrams, in the films formed of the Al-Zr alloy and Mo-W alloy, the etch rate varies with the concentration of Zr and W which are additional elements.

[0037]

In the Al-Zr alloy film, with an increase in Zr concentration, the etch rate is lowered, and such a change in etch rate will not change even in the case of disposing Mo-W alloy film in the lower layer. On the other hand, in the Mo-W alloy film, with an increase in W concentration, the etch rate is lowered. Preferably the tungsten concentration in the Mo-W alloy film is basically from 0.5 atomic % to 30 atomic % both inclusive. The reason for this is as follows. That is, when the tungsten concentration is 0.5 atomic % or less, the etch rate of the Mo-W alloy becomes so high that undercut is liable to occur. On the other hand, when the tungsten concentration is 30 atomic % or more, wet etching of the lower layer film can't be performed.

[0038]

Although the tungsten has such a concentration range,

there is a difference in etch rate even with the same W concentration. The reason for this is considered as follows. That is, in the case of stacking the Al-Zr alloy film/Mo-W alloy film, when the upper layer Al-Zr alloy film is etched to expose the surface of the Mo-W alloy film, cell reaction is caused between both alloy films in etchant, and a passive state layer is formed on the surface of the Mo-W alloy film by cell reaction, and the etch rate of the Mo-W alloy film is lowered by the formed passive state layer.

[0039]

It is not always obvious how far the passive state layer is formed, and the formation state of the passive state layer varies with a change of etching conditions:

- . Etchant is stirred or not;
- . Etching is performed in the atmospheric pressure or under reduced pressure. Further, the formation state of the passive state layer varies with a change in the form of etchant such as composition and liquid temperature. For this reason, the actual etch rate of the Mo-W alloy film has a difference shown in Fig. 5.

[0040]

Each composition of the actual gate metal film pattern 6 for controlling the etching sectional form is determined on the basis of indexes shown in Fig. 6. That is, when Zr concentration of the Al-Zr alloy film (upper layer film 6b)

is taken as CZr (atomic %) and W concentration of Mo-W alloy film (lower layer film 6a) is taken as CW (Zr) (atomic %), in the case of disposing Mo-W alloy film in which the range indicated by an area A in Fig. 6, that is, the quantity meeting the condition of the following formula (2) is taken as the quantity of W added, the etch rate of the Mo-W alloy film is higher than that of the Al-Zr alloy film. Consequently, side etching of the Mo-W alloy film becomes superior, so that the so-called undercut is liable to occur. As a result, the coverage for a step of the Al-Zr alloy film, which is the upper layer film 6b is deteriorated to heighten the possibility of causing inter-wiring short.

[0041]

$$CW (Zr) < 2.5 CZr + 5 \dots (2)$$

On the other hand, in the case of disposing Mo-W alloy film in which W concentration is in the range indicated by an area C in Fig. 6, that is, the quantity meeting the condition of the following formula (3) is taken as the quantity of W added, the etch rate of the Al-Zr alloy film is higher than that of the Mo-W alloy film. Consequently, wiring of the Al alloy part (upper layer film 6b) having low resistance becomes thinner. As a result, there is the possibility of causing the disadvantages that the effective resistance of wiring is increased or in the case of very thin wiring, the upper layer film 6b (Al-Zr) is eliminated.

[0042]

$$CW (Zr) > 3CZr + 15 \dots (3)$$

Accordingly, in the case of using the laminated film of Al-Zr/Mo-W as the gate metal film pattern 6 as in the above embodiment, it is desirable that the Zr concentration in the Al-Zr alloy film and the W concentration in the Mo-W alloy film are in the range indicated by an area B in Fig. 6, that is, they meet the following formula (4).

[0043]

$$3C (Zr) + 15 \geq CW (Zr) \geq 2.5 CZr + 5 \dots (4).$$

The film thickness of the Al-Zr/Mo-W laminated film will now be described. In the laminated film of Al-Zr/Mo-W, the film thickness is determined by two required conditions: (1) the generation density of hillock in the Al-Zr alloy film (upper layer film 6b) by heat process; and (2) wiring resistance required in designing a device.

[0044]

First, the generation density of hillock as the first required condition will be described. In the case where the highest process temperature (hereinafter referred to as T_{max}) after the gate metal film pattern 6 is formed is 300 °C, for example, in the thin film transistor array whose Zr concentration in the Al-Zr alloy film (upper layer film 6b) is 0.5 atomic % or more, failure such as inter-wiring short due to hillock is not caused regardless of film thickness.

[0045]

On the other hand, in the case where the highest process temperature after the gate metal film pattern 6 is formed is 450 °C, in the thin film transistor array whose Zr concentration in the Al-Zr alloy film (upper layer film 6b) is 7.0 atomic %, failure such as inter-wiring short due to hillock is not caused regardless of film thickness of the Al-Zr alloy film (upper layer film 6b). As a result of examining these conditions in detail, it is found that in the case of Al-Zr alloy film (upper layer film 6b) to which Zr whose concentration meets the conditions of the following formulas (5)(6) is added, problem such as inter-wiring short due to hillock is not caused regardless of its film thickness.

[0046]

$$C_{Zr} \geq 0.5 \dots (5)$$

, wherein $20^{\circ}\text{C} \leq T_{\text{max}} \leq 300^{\circ}\text{C}$.

$$C_{Zr} \geq 0.043 T_{\text{max}} - 12.4 \dots (6)$$

, wherein $300^{\circ}\text{C} \leq T_{\text{max}} \leq 500^{\circ}\text{C}$.

The film thickness constitution in the case where the Zr concentration of the Al-Zr alloy film (upper layer film 6a) should be lowered in spite of high T_{max} in order to obtain wiring resistance desirable in design will now be described with reference to the following tables 1, 2. The table 1 and table 2 show whether or not wiring failure (short) due to hillock is caused in the TFT array having the gate metal film pattern

6 using Al simple substance film and Al-Zr alloy films of various compositions in the upper layer film 6b and Mo-W alloy film in the lower layer film 6a. The table 1 shows the case of $T_{\max} = 450^{\circ}\text{C}$, and the table 2 shows the case of $T_{\max} = 500^{\circ}\text{C}$.

[0047]

[Table 1]

$T_{\max} = 450^{\circ}\text{C}$.

Film thickness composition	50 nm	100 nm	150 nm	200 nm
Al	0	0	0	x
Al-0.5 at%Zr	0	0	0	x
Al-1.0 at%Zr	0	0	0	x
Al-5.0 at%Zr	0	0	0	x
Al-7.0 at%Zr	0	0	0	0
Al-9.0 at%Zr	0	0	0	0

0... no failure

x...occurrence of failure

[0048]

[Table 2]

Tmax = 500°C.

Film thickness composition	50 nm	100 nm	150 nm	200 nm
Al	o	o	o	x
Al-0.5 at%Zr	o	o	o	x
Al-1.0 at%Zr	o	o	o	x
Al-5.0 at%Zr	o	o	o	x
Al-7.0 at%Zr	o	o	o	x
Al-9.0 at%Zr	o	o	o	o

o... no failure

x...occurrence of failure

[0049]

As is clear from the table 1 and the table 2, the hillock generation density of the Al film and the Al-Zr alloy film has film thickness dependency, and in the case where the film thickness ranges from 50 nm to 150 nm, problem such as inter-wiring short due to hillock is not caused in the Al-Zr alloy and Al film. Further, in the case of the Al-Zr alloy film, the above problem is not caused regardless of its composition.

[0050]

The wiring resistance, which is the second required condition of film thickness constitution, will now be described. The first significant characteristic of the gate metal film pattern 6 formed by the lamination construction of the Al alloy

film and the Mo-W alloy film according to the invention is that the alloy mainly composed of Mo is used as the lower layer film 6a to collectively perform wet-etching, which will produce the advantage of high yield or improvement in productivity.

[0051]

On the other hand, the second significant characteristic is that it sufficiently withstands high-temperature process and low wiring resistance can be realized. The reason for these characteristics is as follows. That is, the first reason is that although the highest process temperature after the gate metal film pattern 6 is formed is high as much as 450°C as described above, the concentration of additive (Zr) in the metal film (Al-Zr alloy film) mainly composed of Al can be lowered. The second reason is that the specific resistance of the Mo-W alloy film, which is the lower layer film 6a, ranges from 15 to 20 $\mu\Omega\cdot\text{cm}$, and the specific resistance is very low as compared with the titanium film used as the lower layer film in the past.

[0052]

As an example, the following gate metal film patterns 6, 54 are formed to measure the Al-Zr alloy film thickness dependency of the sheet resistance. The results are shown in Fig. 7. As the gate metal film pattern 6 of the invention, an upper layer film 6b formed of Al-Zr alloy to which 1.0 atomic % Zr is added is formed with various film thickness on a lower

layer film 6a formed of Mo-W alloy and having a film thickness of 150 nm. As the gate metal film patter 54 of the prior art, an upper layer film 54b formed of Al-Zr alloy to which 1.0 atomic % Zr is added is formed with various film thickness on a lower layer film 54a formed of titanium and having a film thickness of 150 nm. The specific resistance of the thus formed lower layer film 6a (Mo-W alloy) is $20 \mu\Omega \cdot \text{cm}$, and the specific resistance of the lower layer film 54a (titanium) is $100 \mu\Omega \cdot \text{cm}$.
[0053]

As is clear from Fig. 7, the gate metal film pattern of the invention can be decreased in sheet resistance as compared with that of the prior art. The larger the effect is, the smaller the film thickness of the upper layer film 6b, 4b is. When the film thickness of the upper layer film 6b, 54b is 100 nm, the effect of reducing the sheet resistance by 30% can be obtained, and in the case of 75 nm, reduction by 35% can be obtained. Thus, the excellent gate metal film pattern which has not been obtained heretofore can be made jointly with the effect of restraining the above hillock generation density, and it is possible to provide a liquid crystal display device having excellent display quality for that.

[0054]

As the gate metal film pattern 6, the lamination structure (Al-Zr/Mo-W laminated film) having the upper layer film 6b formed of Al-Zr alloy and the lower layer film 6a formed

of Mo-W alloy is used in the above embodiment. One of the major characteristics of the invention is that as the lower layer film 6a, the metal film mainly composed of molybdenum (Mo) is used, whereby the aluminum alloy used as the upper layer film 6b is decreased in resistance so that its specific resistance is $20 \mu\Omega \cdot \text{cm}$ (=the quantity of additive element is held down). Accordingly, the metal used as the upper layer film 6b is not limited to Al-Zr alloy. The case of forming the upper layer film 6b' of Al-Nd alloy will now be described.

[0055]

In the case of forming the upper layer film 6b' of Al-Nd alloy, the following tendencies are similar to those in the case of providing the upper layer film 6b of the Al-Zr alloy.

- . The specific resistance of the upper layer film 6b' is increased in proportion to the Nd concentration.

- . Even if the Nd concentration is low so that heat resistance is low, the hillock generation density can be reduced by making the film thickness of the upper layer film 6b' small, so no problem is caused in practical use.

- . In collectively performing wet etching, the etch rate of the lower layer film 6a (Mo-W alloy) is lowered as compared with the case where the lower layer film 6a is a monolayer. The etch rate, the tendency of Nd concentration dependency of the hillock generation density and the optimum film thickness constitution are, however, different from those of the upper

layer film 6b formed by Al-Zr alloy film.

[0056]

The detailed description is omitted here, and only the conditions showing the optimum concentration range and film thickness constitution will be described. In the following description, the Nd concentration in the Al-Nd alloy film is C_{Nd} , the W concentration in the Mo-W alloy film used in the Al-Nd/Mo-W lamination structure is C_W (Nd), and the highest process temperature after the gate metal film is deposited is T_{max} similarly to the above description.

[0057]

Also in this modified form, each composition of the actual gate metal film pattern 6' for controlling the etching sectional shape is determined on the basis of indexes shown in Fig. 8. For the same reason as that in the case of the above Al-Zr/Mo-W lamination structure (See Fig. 6), when the optimum Nd concentration and W concentration meet the following formula (7) (range indicated by the sphere of an area B in Fig. 8), the required condition of the invention is satisfied.

[0058]

$$C_{Nd} + 15 \geq C_W \text{ (Nd)} \geq 0.5 C_{Nd} + 5 \dots (7)$$

The optimum film thickness constitution and concentration range of the lamination structure of the upper layer film 6b' (Al-Nd)/the lower layer film 6a (Mo-W) will now be described.

[0059]

Even in the laminated film of Al-Nd/Mo-W, similarly to the case of the laminated film of Al-Zr/Mo-W, the film thickness is determined by two required conditions: (1) the generation density of hillock in the Al-Nd alloy film (upper layer film 6b) by heat process; and (2) wiring resistance required in designing a device.

[0060]

First, the generation density of hillock as the first required condition will be described. In the case where the highest process temperature (hereinafter referred to as T_{max}) after the gate metal film pattern 6' having the upper layer film 6b' is formed is 300 °C, in the thin film transistor array whose Nd concentration in the Al-Nd alloy film (upper layer film 6b') is 0.2 atomic % or more, failure such as inter-wiring short due to hillock is not caused regardless of film thickness.

[0061]

On the other hand, in the case where the highest process temperature after the gate metal film pattern 6' is formed is 450 °C, in the thin film transistor array whose Nd concentration in the Al-Nd alloy film (upper layer film 6b') is 3.5 atomic %, failure such as inter-wiring short due to hillock is not caused regardless of film thickness of the Al-Nd alloy film (upper layer film 6b'). As a result of examining these conditions in detail, it is found that in the case of Al-Nd alloy film

(upper layer film 6b') to which Nd whose concentration meets the conditions of the following formulas (8), (9) is added, problem such as inter-wiring short due to hillock is not caused regardless of its film thickness.

[0062]

$$C_{Nd} \geq 0.2 \dots (8)$$

, wherein $20^{\circ}\text{C} \leq T_{\text{max}} \leq 300^{\circ}\text{C}$.

$$C_{Nd} \geq 0.022 T_{\text{max}} - 6.4 \dots (9)$$

, wherein $300^{\circ}\text{C} \leq T_{\text{max}} \leq 500^{\circ}\text{C}$.

The film thickness constitution in the case where the Nd concentration of the Al-Nd alloy film (upper layer film 6a) should be lowered in spite of high T_{max} as much as from 300°C to 500°C in order to obtain wiring resistance desirable in design will now be described with reference to the following tables 3, 4. The table 3 and table 4 show whether or not wiring failure (short) due to hillock is caused in the thin film transistor array having the gate metal film pattern 6 using Al simple substance film and Al-Nd alloy films of various compositions in the upper layer film 6b' and Mo-W alloy film in the lower layer film 6a. The table 3 shows the case of $T_{\text{max}} = 450^{\circ}\text{C}$, and the table 4 shows the case of $T_{\text{max}} = 500^{\circ}\text{C}$.

[0063]

[Table 3]

T_{max} = 450°C.

Film thickness composition	50 nm	100 nm	150 nm	200 nm
Al	o	o	o	x
Al-0.2 at%Nd	o	o	o	x
Al-0.5 at%Nd	o	o	o	x
Al-2.0 at%Nd	o	o	o	x
Al-3.5 at%Nd	o	o	o	o
Al-4.5 at%Nd	o	o	o	o

o... no failure

x...occurrence of failure

[0064]

[Table 4]

T_{max} = 500°C.

Film thickness composition	50 nm	100 nm	150 nm	200 nm
Al	o	o	o	x
Al-0.2 at%Nd	o	o	o	x
Al-0.5 at%Nd	o	o	o	x
Al-2.0 at%Nd	o	o	o	x
Al-3.5 at%Nd	o	o	o	x
Al-4.5 at%Nd	o	o	o	o

o... no failure

x...occurrence of failure

[0065]

As is clear from the table 3 and the table 4, the hillock generation density of the Al simple substance film or the Al-Nd alloy film has film thickness dependency, and in the case where the film thickness ranges from 50 nm to 150 nm, problem such as inter-wiring short due to the occurrence of hillock is not caused regardless of the composition of the Al-Nd alloy film (upper layer film 6b') and even in Al film. As to the metal film mainly composed of Al, which is used as the upper layer films 6b, 6b', in addition to the Al film, Al-Zr alloy film, and Al-Nd alloy film shown in the above embodiment, an alloy film formed by adding one or two kinds selected from the other elements such as Ti, Ta, Gd, V and B to Al may be applied thereto. At the time, it will be sufficient that the concentration of additional element (in the case of adding two or more kinds of elements, the total concentration of the additional elements) is substantially from 0.5 atomic % to 10 atomic %. Especially in the case where the highest process temperature after the gate wiring is formed ranges from 300 °C to 500 °C, Al film or Al alloy film thickness ranging from 50 nm to 150 nm will not cause any problem in practical use.

[0066]

Further, although the metal film mainly composed of molybdenum (Mo) used as the lower layer film 6a is Mo-W alloy in the above embodiment, that is, tungsten is used as an element to be added to molybdenum, it goes without saying that metal

(e.g. zirconium, vanadium and the like) other than tungsten may be added to constitute the above lower layer film.

[0067]

[Advantage of the Invention]

The advantage of the invention described in claims 1, 4.

The upper layer film and the lower layer film can be collectively subjected to patterning by wet etching method using the same etchant without using dry etching method, whereby the productivity is improved for that, etching failure is hardly caused, and yield can be improved.

[0068]

The film formed of metal mainly composed of molybdenum works as a good barrier layer to moisture penetration instead of the titanium film. Furthermore, since the film formed of metal mainly composed of molybdenum does not generate residue in dry etching due to the damage in ion implantation, which has been found in the case of the titanium film, the machining accuracy for the thin film transistor can be improved for that.

[0069]

Furthermore, the lower layer film formed of metal mainly composed of molybdenum having relatively low specific resistance is provided, whereby while the film thickness of the upper layer film (of metal mainly composed of aluminum) is made smaller, the wiring resistance of the gate electrode

and the signal wiring can be reduced. The hillock generation density in the upper layer film has film thickness dependency, so that the smaller the film thickness of the upper layer film is, the less hillock occurs, and the more the coverage of the upper and lower layer films can be improved. Accordingly, in the invention, while the wiring resistance is held down, inter-wiring short can be restrained.

[0070]

Furthermore, since the shape of the lamination structure of the lower layer film and the upper layer film (of metal mainly composed of aluminum) can be controlled by controlling the concentration of additional element other than molybdenum contained in the lower layer film (of metal mainly composed of molybdenum), the etch rate of the upper layer film and the lower layer film can be controlled so as to obtain a desired pattern shape.

[0071]

Advantage of the invention described in claim 2.

The occurrence of hillock can be restrained further efficiently and also as the upper layer film, the Al film having low specific resistance even in high-temperature process or the Al alloy film having low concentration of additive element can be used.

[0072]

Advantage of the invention described in claim 3.

The lower layer film can be etched without residue by wet etching method. The etch rate of the lower layer film can be easily controlled according to the etch rate of the upper layer film, whereby the etching accuracy can be improved for that.

[0073]

Advantage of the invention described in claim 5.

The gate electrode and the signal wiring can be easily shaped to be convenient in respect of coverage and the like, as the side surfaces of the gate electrode and the signal wiring are shaped to be gently tapered.

[0074]

According to the invention, as described above, the gate electrode and the signal wiring having low resistance and high reliability can be formed with higher productivity and yield than before, and a liquid crystal display device having a high aperture ratio, high resolution and large dimensions can be realized by the thin film transistor.

Brief Description of the Drawings:

Fig. 1 is a sectional view showing the constitution of a thin film transistor array according to one embodiment of the invention;

Figs. 2A to 2E are sectional views respectively showing the respective steps of the first half process of a

manufacturing method for the thin film transistor array of the embodiment;

Figs. 3A to 3C are sectional views respectively showing the respective steps of the second half process of the manufacturing method for the thin film transistor array of the embodiment;

Fig. 4 is a diagram showing the Zr additive concentration dependency of the etch rate of the Al-Zr alloy film;

Fig. 5 is a diagram showing the W additive concentration dependency of the etch rate of the Mo-W alloy film;

Fig. 6 is a diagram showing the relationship between the composition of Al-Zr alloy film and the composition of the Mo-W alloy film;

Fig. 7 is a diagram showing the Al-Zr alloy film thickness dependency of sheet resistance in the gate metal film pattern formed of Al-Zr/Mo-W according to the invention and the gate metal film pattern formed of Al-Zr/Ti according to the related art;

Fig. 8 is a diagram showing the relationship between the composition of the Al-Nd alloy film and the composition of the Mo-W alloy film; and

Fig. 9 is a sectional view showing the constitution of a thin film transistor array according to the related art.

[Description of the Reference Numerals and Signs]

1: translucent substrate 3: polycrystalline Si film

pattern 3P: p-type semiconductor region 3N: n-type semiconductor region 3LD: low-doped n-type semiconductor region 4: first gate insulation film 5: second gate insulation film 6: gate metal film pattern 6a: lower layer film 6b: upper layer film 7: first interlayer insulation film 8: pixel electrode 9: second interlayer insulation film 10S: source electrode 10D: drain electrode 10SB: scan line

FIGURE 4:

ETCH RATE of Al-Zr ALLOY FILM (ARBITRARY COORDINATES)

ETCHING CONCENTRATION IN Al-Zr ALLOY FILM (ATOMIC %)

FIGURE 5:

ETCH RATE OF Mo-W ALLOY FILM (ARBITRARY COORDINATES)

W CONCENTRATION IN Mo-W ALLOY FILM (ATOMIC %)

FIGURE 6:

W CONCENTRATION IN Mo-W ALLOY FILM CW (Zr) (ATOMIC %)

Zr CONCENTRATION IN Al-Zr ALLOY FILM CZr (ATOMIC %)

AREA A AREA B AREA C

FIGURE 7:

SHEET RESISTANCE OF GATE METAL FILM PATTERN

FILM THICKNESS OF UPPER LAYER FILM

THE INVENTION

RELATED ART

FIGURE 8:

W CONCENTRATION IN Mo-W ALLOY METAL CW (Nd) (ATOMIC %)

Nd CONCENTRATION IN Al-Nd ALLOY CNd (ATOMIC %)